

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-274467

(43)公開日 平成6年(1994)9月30日

(51)Int.Cl.⁵

G 0 6 F 15/16

識別記号

3 9 0 T 9190-5L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21)出願番号 特願平5-64311

(22)出願日 平成5年(1993)3月23日

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 乾 陽介

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

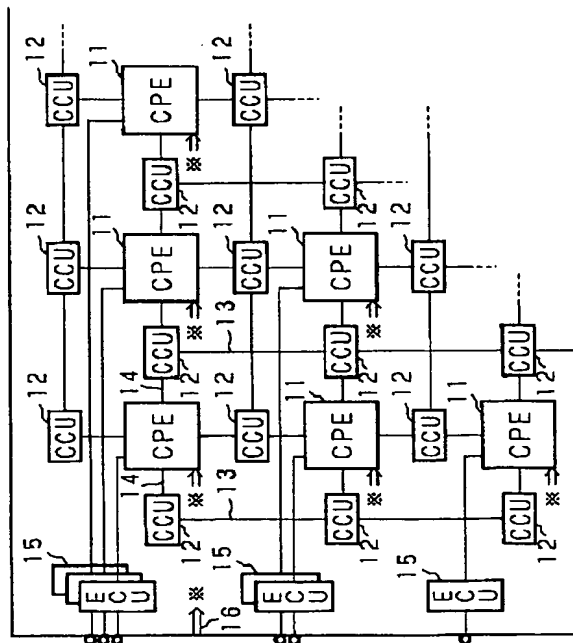
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 フィールドプログラマブルプロセッサアレイ

(57)【要約】

【目的】 内部ハードウェア構成がプログラマブルな多数のプロセッサエレメントをハード的にフィールド、即ちユーザの手元で一つのモジュール中にアレイ状に配列することにより、それぞれのアプリケーションに適合した構造に自由に再構築可能なフィールドプログラマブルプロセッサアレイを提供する。

【構成】 個々の内部構成がアプリケーションに適合した構造にハードウェア的にプログラマブルな再構築可能プロセッサエレメント(CPE)11が複数アレイ状に配列されており、前記各再構築可能プロセッサエレメント(CPE)11相互がプログラマブルな通信ユニットである通信用レジスタユニット(CRU)23で接続されている。



【特許請求の範囲】

【請求項 1】 個々の内部構成がアプリケーションに適合した構造にハードウェア的にプログラマブルなプロセッサセル複数をアレイ状に配列し、

前記各プロセッサセル相互がプログラマブルな通信ユニットで接続されていることを特徴とするフィールドプログラマブルプロセッサアレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフィールドプログラマブルプロセッサアレイに関し、より詳細には、多数のプロセッサを一つのモジュール上（たとえば一つのLSI または一つの基板上）に集積し、そのハードウェア資源を有効に活用するための技術に関し、特に超並列計算機、画像認識、高速画像処理装置、音声認識、高速グラフィック表示装置、更にはニューラルネットワーク等に好適な技術に関する。

【0002】

【従来の技術】 従来、基本単位がゲートであるゲートアレイまたはフィールドプログラマブルゲートアレイと称されるデバイスが知られている。このゲートアレイとは、セミカスタムICの一種であり、マスタウェア上に多数のトランジスタをアレイ状に配列して各トランジスタ間の配線を変更することにより多様なゲート回路を構成し得るようにし、それらを組み合わせて各種の機能を有するモジュールを製造するものである。その構成の基本となるのは、基本的なデジタル回路であるゲート回路である。しかしゲートアレイは、一旦配線を行ってしまうとその配線は固定されてしまっておりリプログラムは不可能である。

【0003】 また、ロジックセルアレイ(LCA) と称されるフィールドプログラマブルゲートアレイも知られている。このロジックセルアレイの基本単位は、比較的小規模なロジックセルまたはCLB(Configurable Logic Block) と称されるプログラマブルなロジックファンクションとフリップフロップとで構成されるセルである。 CLB は、チップ内にアレイ状に配列され、それぞれのCLB 間の配線もプログラマブルであり、フィールド、即ちユーザの手元での再配線が即座に可能である。

【0004】 その他、カスタムIC、セミカスタムIC、フルカスタムIC等のような種々のASIC(Application Specific Integrated Circuit) の基本構造には上述以外にも種々の構成が知られ、また提案されている。また、近年の計算機分野においては、マイクロプロセッサの処理速度の向上は目覚ましいが、しかし更なる性能向上を目指して超並列計算機が開発されている。

【0005】

【発明が解決しようとする課題】 上述のようなその基本構成要素が比較的小規模であるカスタムICでは、最終スベックのモジュールを製造するまでに大量の時間と設計

工数とを必要とする。特に、近年のサブミクロンオーダーのデバイス製造技術の発達に伴って益々その設計工数が増大する傾向にある。

【0006】 また、サブミクロンデバイス技術はRISC(Reduced Instruction Set Computer)型マイクロプロセッサに見られるように、マイクロプロセッサを用いずにハードウェアで構成することによりマイクロコンピュータを高速化する途を開いた。しかし、そのようなハードウェアは膨大且つ複雑となり、性能向上には必ずと限界がある。

【0007】 更に、並列計算機の開発に関しては、単に汎用のプロセッサを並列化したのみでは所謂フォン・ノイマンボトルネックを避けることが出来ない。

【0008】 本発明は以上のような事情に鑑みてなされたものであり、内部ハードウェア構成がプログラマブルな多数のプロセッサエレメントをハード的にフィールド、即ちユーザの手元で一つのモジュール中にアレイ状に配列することにより、それぞれのアプリケーションに適合した構造に自由に再構築可能なフィールドプログラマブルプロセッサアレイの提供を目的とする。そして、従来のマイクロプロセッサでは全く対処不可能な多量のデータの処理を可能にし、RISC型マイクロプロセッサの性能向上の限界を越えるカスタムICを提供することを目的とする。

【0009】 またそれにより、最先端のサブミクロンデバイス技術を少数の設計工数でフルに利用可能とし、フォン・ノイマンボトルネックの限界をも越えるプロセッサを容易に利用可能とすることを目的とする。

【0010】

【課題を解決するための手段】 本発明のフィールドプログラマブルプロセッサアレイは、上述の目的を達成するために、ゲートアレイの基本構成よりは大規模であるがRISC型マイクロプロセッサよりは小規模なプロセッサエレメントを基本単位とし、その構成要素であるプロセッサエレメントを一つのLSI として、または一つの基板上に多数アレイ状に集積して一つのモジュールを構成する。そして、各プロセッサエレメントのハードウェア構造は即座にプログラム可能であり、且つそのプロセッサエレメント相互間の通信配線もユーザが任意に選択することが出来るようにマイクロプログラムで制御する。

【0011】

【作用】 本発明のフィールドプログラマブルプロセッサアレイでは、基本構成が単純なプロセッサを多数用いて構成されているため、LSI上に超並列計算機を構成することが可能になる。その単純なプロセッサエレメントをハードウェア的にプログラマブルな構成とすることにより、従来のマイクロプログラムを用いる手法に比して限度のあるプロセッサ資源を効果的に利用することが可能になる。しかも、従来は膨大な時間及び労力を必要としていた大規模カスタムLSI の設計を行うことなしに単に

プロセッサエレメントの構造を変更するのみで可能になる。

【0012】更に、従来のRISC型プロセッサのアプローチの限界であるハードウェア量の増大及び動作速度の限界及びファイン・ノイマンボトルネックをも越えることが可能になる。

【0013】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。図1は本発明に係るフィールドプログラマブルプロセッサアレイの構成例を示すブロック図である。

【0014】図1において、参照符号11は再構築可能プロセッサエレメント(CPE)であり、アレイ状に複数個が備えられている。各再構築可能プロセッサエレメント(CPE) 11は通信接続ユニット(CCU)12により相互に接続されている。

【0015】参照符号13は通信接続バス(CCB)を示している。この通信接続バス(CCB) 13はバス状に配線されており、各再構築可能プロセッサエレメント(CPE) 11は隣接相互間の接続のみならず配線資源の許される範囲内で自由な通信経路を実現することが可能である。参照符号15は外部接続ユニット(ECU)15であり、基本的には各再構築可能プロセッサエレメント(CPE) 11の外部接続用通信ユニットとして機能し、データの入出力ラインとなる。また、このモジュールを更に拡張する場合にはこの外部接続ユニット15によりモジュール相互を接続するために使用される。なおこの外部接続ユニット15は各再構築可能プロセッサエレメント(CPE) 11に一つずつ備えられている。

【0016】各再構築可能プロセッサエレメント(CPE) 11の構成を再構築する場合には参照符号16のコンフィギュレーション・マイクロプログラムバス(CMB)が使用される。このコンフィギュレーション・マイクロプログラムバス(CMB) 16はマイクロプログラム制御ラインと兼用されている。

【0017】各再構築可能プロセッサエレメント(CPE) 11の構成を再構築するには、このコンフィギュレーション・マイクロプログラムバス(CMB) 16を通じてマイクロプログラムを各再構築可能プロセッサエレメント(CPE) 11にロードすることによりそれぞれの機能を設定する。たとえば、各再構築可能プロセッサエレメント(CPE) 11に共通の機能を設定して再構築した場合には高速タイプとなり、それぞれ異なる機能を設定して再構築した場合には遅いタイプとなり、2種類のタイプが存在する。

【0018】図2は個々の再構築可能プロセッサエレメント(CPE) 11の構成を示すブロック図である。

【0019】図2において、参照符号21はレジスタファイルを、22はALU(演算ユニット)を、23は通信用レジスタユニット(CRU)を、24は図1のコンフィギュレーション・マイクロプログラムバス(CMB) 16と接続する再構築

可能プロセッサエレメント(CPE) 11内のコンフィギュレーション・マイクロプログラムバスをそれぞれ示している。

【0020】なお、参照符号25は通信レジスタラインであり、通信接続ユニット(CCU) 12を介して通信ローカルバス(CLB) 14と接続される。

【0021】各再構築可能プロセッサエレメント(CPE) 11は、基本的には従来のレジスタとCPUとを実装しており、それらの制御はコンフィギュレーション・マイクロプログラムバス(CMB) 16により実現される。外部接続ユニット(ECU) 15は高速シリアルバスであり、外部とのデータの入出力を通信用レジスタユニット23を介して実現出来る。

【0022】各再構築可能プロセッサエレメント(CPE) 11での演算用のデータは、レジスタファイル21に記憶することが出来、通信用レジスタユニット23と演算ユニット22との間でデータのやりとりが可能である。

【0023】各データは演算ユニット22で演算処理された後、一旦通信用レジスタユニット23に入力される。その後、データを通信用レジスタユニット23からレジスタファイル21に転送して記憶させるか、あるいは外部へ出力するかはそれぞれの再構築可能プロセッサエレメント(CPE) 11に設定されているプログラムにより処理される。

【0024】図2に示されているような各再構築可能プロセッサエレメント(CPE) 11の基本構成の具体的な動作例を、一例として画像処理を例に説明する。たとえば、図3の模式図に示されているような全体構成に再構築可能プロセッサエレメント(CPE) 11を1024(32×32)個配列する。

【0025】但し、通常の画像処理では、3×3のマトリックス演算で処理が行われるため、一つの再構築可能プロセッサエレメント(CPE) 11を一つの画素に対応させて簡略化した構成で説明する。各再構築可能プロセッサエレメント(CPE) 11をP(X, Y)とすると、P(X, Y)のスムージング処理は図4に示されている如くなる。

【0026】具体的には、3×3のマトリックス状に配列された再構築可能プロセッサエレメント11に図4に示されているようにスムージング処理定数を設定し、それぞれの再構築可能プロセッサエレメント(CPE) 11に対応する画素データの値を入力して図示されいるような演算を実行することにより、スムージング処理された結果の値G(X, Y)が得られる。

【0027】また、ラブラシアン処理(X微分処理)も同様に図5に示されている如くなる。

【0028】具体的な処理手順としては、各再構築可能プロセッサエレメント(CPE) 11に外部接続ユニット(ECU) 15を介して画素データを各レジスタに格納し、隣接データを通信用レジスタユニット23を介して獲得し、該当する演算を実行する。

10

20

30

40

50

【0029】このような比較的単純な演算を高速実行する際には、高機能のALUは必要とはされず、各演算時にALUテーブルを書き換えることにより高速の演算を最小限の資源で実行することが可能になる。また、より高機能の演算を実行する場合には、ハードウェア資源の許す限り大規模なALUを構築することで対応出来る。

【0030】それぞれの再構築可能プロセッサエレメント(CPE) 11内に存在する資源は基本的に再構築可能である。再構築した際にもレジスタ類に記憶されたデータはマークすることにより消去されることはなく、保証される。

【0031】

【発明の効果】以上のように本発明のフィールドプログラマブルプロセッサレイによれば、基本構成が単純なプロセッサを多数用いて構成されているため、LSI上に超並列計算機を構成することが可能になる。その単純なプロセッサエレメントをハードウェア的にプログラマブルな構成とすることにより、従来のマイクロプログラムを用いる手法に比して限度のあるプロセッサ資源を効果的に利用することが可能になる。しかも、従来は膨大な時間及び労力を必要としていた大規模カスタムLSIの設計を行うことなしに単にプロセッサエレメントの構造を変更するのみで可能になる。

【0032】更に、従来のRISC型プロセッサのアプローチの限界であるハードウェア量の増大及び動作速度の限界及びファイン・ノイマンボトルネックをも越えることが可能になる。

【図面の簡単な説明】

*

*【図1】本発明に係るフィールドプログラマブルプロセッサレイの構成例を示すブロック図である。

【図2】本発明に係るフィールドプログラマブルプロセッサレイを構成する個々の再構築可能プロセッサエレメント(CPE)の構成を示すブロック図である。

【図3】本発明に係るフィールドプログラマブルプロセッサレイの具体的な全体構成例を示す模式図である。

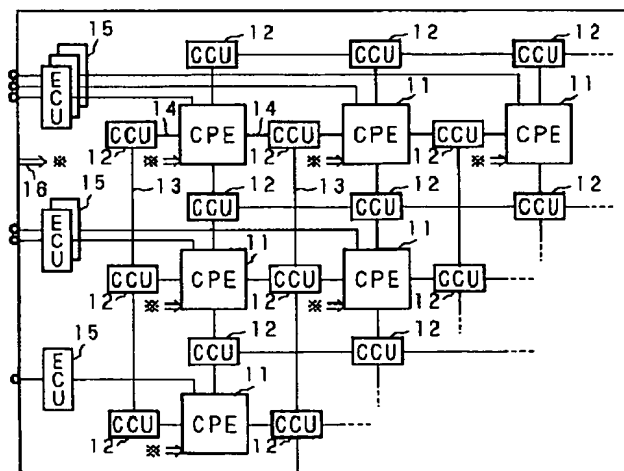
【図4】本発明に係るフィールドプログラマブルプロセッサレイによりスムージング処理を行う場合の状態を示す模式図である。

【図5】本発明に係るフィールドプログラマブルプロセッサレイによりラブラシアン処理を行う場合の状態を示す模式図である。

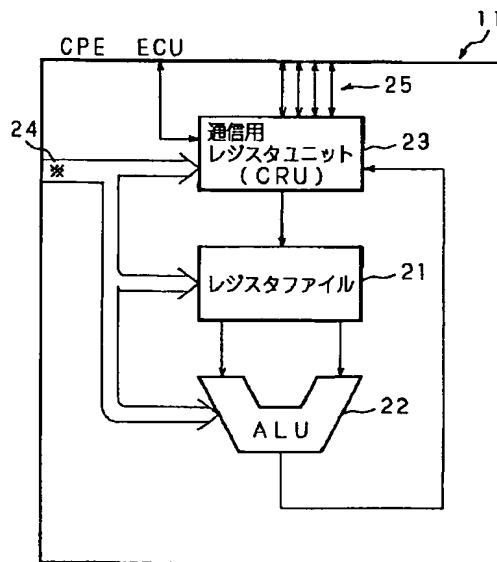
【符号の説明】

- 11 再構築可能プロセッサエレメント(CPE)
- 12 通信接続ユニット(CCU)
- 13 通信接続バス(CCB)
- 14 通信ローカルバス(CLB)
- 15 外部接続ユニット15(ECU)
- 20 16 コンフィギュレーション・マイクロプログラムバス(CMB)
- 21 レジスタファイル(RF)
- 22 演算ユニット(CPU)
- 23 通信用レジスタユニット(CRU)
- 24 コンフィギュレーション・マイクロプログラムバス(CMB)
- 25 通信レジスタライン(CRL)

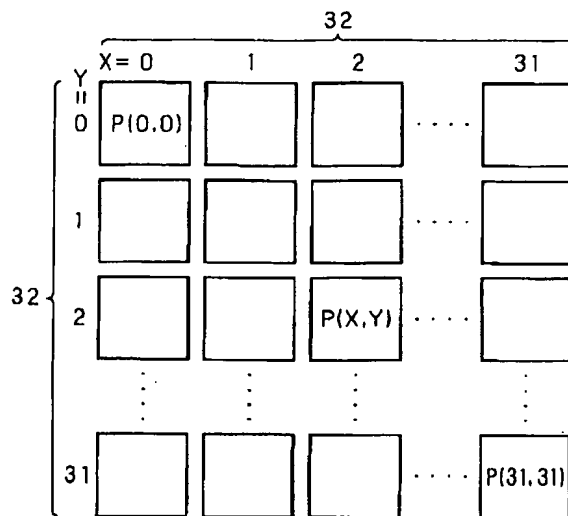
【図1】



【図2】



【図3】



【図4】

1	1	1
1	0	1
1	1	1

$$\begin{aligned} & (P(X-1, Y-1) + P(X, Y-1) + P(X+1, Y-1) \\ & + P(X-1, Y) + P(X+1, Y) \\ & + P(X-1, Y+1) + P(X, Y+1) + P(X+1, Y+1)) / 8 \\ & = G(X, Y) \end{aligned}$$

【図5】

-1	0	1
-2	0	2
-1	0	1

$$\begin{aligned} & (-P(X-1, Y-1) + P(X+1, Y-1) \\ & -2*P(X-1, Y) + 2*P(X+1, Y) \\ & -P(X-1, Y+1) + P(X+1, Y+1)) \\ & = G(X, Y) \end{aligned}$$